

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2000－195891
(P2000－195891A)

(43)公開日 平成12年 7 月14日 (2000. 7. 14)

| (51)IntCl. ⁷ | 識別記号 | F I | テマコード(参考) |
|------------------------------|------|---------------|-----------|
| H 0 1 L 21/60 | | H 0 1 L 21/92 | 6 0 2 L |
| 23/12 | | | 6 0 4 M |
| 23/29 | | 23/12 | L |
| 23/31 | | 23/30 | D |
| // H 0 1 L 21/3205 | | 21/88 | T |
| 審査請求 未請求 請求項の数25 O L (全 8 頁) | | | |

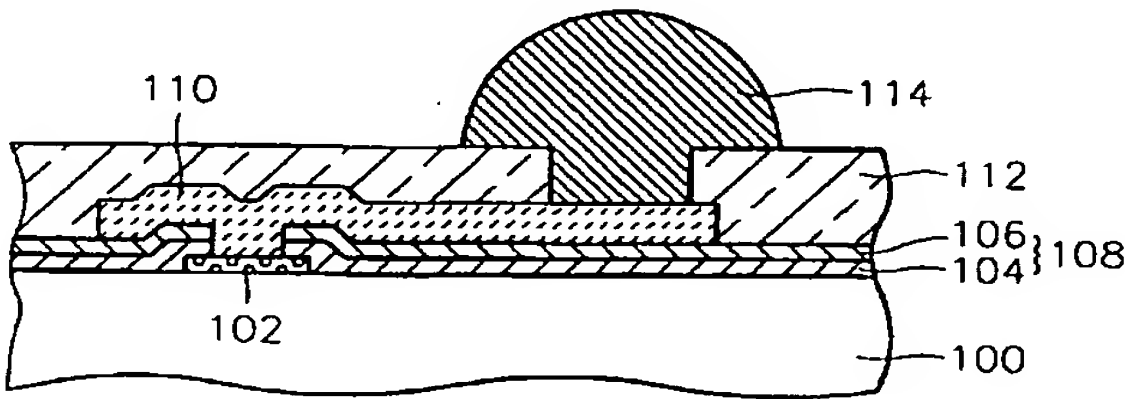
| | | | |
|-------------|----------------------------|---------|---|
| (21)出願番号 | 特願平11－373393 | (71)出願人 | 390019839 三星電子株式会社 大韓民国京畿道水原市八達区梅灘洞416 |
| (22)出願日 | 平成11年12月28日 (1999. 12. 28) | (72)発明者 | 李 柱憲 大韓民国ソウル特別市龍山区二村 1 洞300 －11番地王宮アパート 1 棟311号 |
| (31)優先権主張番号 | 1 9 9 8 P 5 9 4 1 7 | (74)代理人 | 100093779 弁理士 服部 雅紀 |
| (32)優先日 | 平成10年12月28日 (1998. 12. 28) | | |
| (33)優先権主張国 | 韓国 (K R) | | |

(54)【発明の名称】 半導体素子の製造方法

(57)【要約】

【課題】 既存のポリイミド層より水分の吸湿率が低く、半導体パッケージ内部の腐食を防止することにより信頼度を向上させることができ、アルファ粒子の遮断効果に優れた材質を利用してチップコーティングすることによりソフトエラーを低減することができる半導体素子の製造方法を提供する。

【解決手段】 ボンドパッド再配列用金属パターン110が形成された結果物にBCB層112を10～100μmの厚さで形成する。BCB層112はスピンコーティング方式を用いて積層する。スピンコーティングを実施した後、約270℃の温度条件で数分間キュアリング工程を実施し、BCB層112を硬化させる。BCB層は水分の吸湿率が低く、アルファ粒子の遮断効果に優れているので、半導体素子のソフトエラーを防止することができる。



【特許請求の範囲】

【請求項 1】 a) 下部にメモリセルが形成されている半導体基板にボンドパッドが設けられている最上部メタル層を形成する工程と、

b) 前記最上部メタル層の上に湿気や不純物の浸透を防止する最終保護膜を形成する工程と、

c) 前記ボンドパッドが露出するように前記最終保護膜をパターニングする工程と、

d) 前記最終保護膜の上に前記ボンドパッドと連結されるボンドパッド再配列用金属パターンを形成する工程と、

e) 前記ボンドパッド再配列用金属パターンの上に B C B 層が形成されている絶縁膜を形成する工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項 2】 前記絶縁膜は、B C B 層の単一膜または B C B 層を含有する複合膜を利用することを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 3】 前記絶縁膜の前記複合膜を形成する工程は、ボンドパッド再配列用金属パターンの上に B C B 層を積層し、その上部にポリイミド層を積層することを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 4】 前記絶縁膜の前記複合膜を形成する工程は、ボンドパッド再配列用金属パターンの上にポリイミド層を積層し、その上部に B C B 層を積層することを特徴とする請求項 2 に記載の半導体素子の製造方法。

【請求項 5】 前記最終保護膜は、窒化ケイ素膜、窒化チタン膜、P E O X 膜、P S G 膜からなる群から選択される少なくとも一つの膜質を含有する単一膜または複合膜を用いることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 6】 前記 B C B 層は、1 0 ~ 1 0 0 μ m の厚さで形成されていることを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 7】 前記絶縁膜を形成する工程の後、前記ボンドパッド再配列用金属パターンと外部連結手段とを連結する工程をさらに含むことを特徴とする請求項 1 に記載の半導体素子の製造方法。

【請求項 8】 a) 下部にメモリセルが形成されている半導体基板にボンドパッドが設けられている最上部メタル層を形成する工程と、

b) 前記最上部メタル層の上に湿気や不純物の浸透を防止する最終保護膜を形成する工程と、

c) 前記最終保護膜の上に第 1 絶縁膜を積層する工程と、

d) 前記ボンドパッドが露出するように前記第 1 絶縁膜をパターニングする工程と、

e) 前記第 1 絶縁膜の上に前記ボンドパッドと連結されているボンドパッド再配列用金属パターンを形成する工程と、

f) 前記ボンドパッド再配列用金属パターン上に B C B

層が設けられている第 2 絶縁膜を形成する工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項 9】 前記最終保護膜を形成する工程の後、前記ボンドパッドが露出するようにパターニングする工程をさらに含むことを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 1 0】 前記最終保護膜は、窒化ケイ素膜、窒化チタン膜、P E O X 膜、P S G 膜からなる群から選択される少なくとも一つの膜質を含有する単一膜または複合膜を用いることを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 1 1】 前記 B C B 層は 1 0 ~ 1 0 0 μ m の厚さで形成されていることを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 1 2】 前記第 2 絶縁膜を形成する工程の後、前記ボンドパッド再配列用金属パターンと外部連結手段とを連結する工程をさらに含むことを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 1 3】 前記第 1 絶縁膜としてポリイミド層を利用することを特徴とする請求項 8 に記載の半導体素子の製造方法。

【請求項 1 4】 a) 下部にメモリセルが形成されている半導体基板にボンドパッドが設けられている最上部メタル層を形成する工程と、

b) 前記最上部メタル層の上に湿気や不純物の浸透を防止する最終保護膜を形成する工程と、

c) 前記最終保護膜の上に B C B 層が設けられている第 1 絶縁膜を積層する工程と、

d) 前記ボンドパッドが露出するように前記第 1 絶縁膜をパターニングする工程と、

e) 前記第 1 絶縁膜の上に前記ボンドパッドと連結されているボンドパッド再配列用金属パターンを形成する工程と、

f) 前記ボンドパッド再配列用金属パターンの上に第 2 絶縁膜を形成する工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項 1 5】 前記最終保護膜を形成する工程の後、前記ボンドパッドが露出するようにパターニングする工程をさらに含むことを特徴とする請求項 1 4 に記載の半導体素子の製造方法。

【請求項 1 6】 前記最終保護膜は、窒化ケイ素膜、窒化チタン膜、P E O X 膜、P S G 膜からなる群から選択される少なくとも一つの膜質を含有する単一膜または複合膜を用いることを特徴とする請求項 1 4 に記載の半導体素子の製造方法。

【請求項 1 7】 前記 B C B 層は、1 0 ~ 1 0 0 μ m の厚さで形成されていることを特徴とする請求項 1 4 に記載の半導体素子の製造方法。

【請求項 1 8】 前記第 2 絶縁膜を形成する工程の後、前記ボンドパッド再配列用金属パターンと外部連結手段

とを連結する工程をさらに含むことを特徴とする請求項14に記載の半導体素子の製造方法。

【請求項19】 前記第2絶縁膜としてポリイミド層を利用することを特徴とする請求項14に記載の半導体素子の製造方法。

【請求項20】 a) 下部にメモリセルが形成されている半導体基板に最上部メタル層を形成する工程と、

b) 前記最上部メタル層の上にBCB層が設けられている複合膜からなる最終保護膜を形成する工程と、

c) 前記ボンドパッドが露出するように前記最終保護膜をパターニングする工程と、

d) 前記最終保護膜の上に前記ボンドパッドと連結されているボンドパッド再配列用金属パターンを形成する工程と、

e) 前記ボンドパッド再配列用金属パターンの上に絶縁膜を形成する工程と、を含むことを特徴とする半導体素子の製造方法。

【請求項21】 前記絶縁膜を形成する工程の後、前記ボンドパッド再配列用金属パターンと外部連結手段とを連結する工程をさらに含むことを特徴とする請求項20に記載の半導体素子の製造方法。

【請求項22】 前記BCB層は、10～100 μ mの厚さで形成されていることを特徴とする請求項20に記載の半導体素子の製造方法。

【請求項23】 前記最終保護膜は、窒化ケイ素膜または窒化チタン膜からなる第1膜、BCBからなる第2膜、ならびにPSGまたはPEOXからなる第3膜を有していることを特徴とする請求項20に記載の半導体素子の製造方法。

【請求項24】 前記第2膜は、前記第1膜と前記第3膜との間に形成されていることを特徴とする請求項23に記載の半導体素子の製造方法。

【請求項25】 前記絶縁膜は、材質としてポリイミドが用いられていることを特徴とする請求項20に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体素子の製造方法に関し、さらに詳しくはソフトエラーを防止する半導体素子の製造方法に関する。

【0002】

【従来の技術】パッケージングとは、ウェーハ状態で機能が構成された半導体チップの外部を包装して電子機器の印刷回路基板に実装できるように再加工する一連の作業を指称する。したがって、パッケージング済みの半導体素子はいかなる外部環境からも内部のチップが保護可能な状態となる。このような半導体パッケージは小型軽量化、高速化、高機能化を要求する電子機器の必要に応じるため、新しい形態が継続的に開発され種類が多様化している。

【0003】一方、半導体パッケージ、特にメモリ素子において高集積化が急進展することによってパッケージング材料に起因するソフトエラーが頻繁に発生している。ソフトエラーとは、パッケージの内部を包むエポキシモールドコンパウンドのように、自ら放射線元素を放射するパッケージ材料から放射されたアルファ粒子がメモリセルに影響を与え内部メモリセル内に貯蔵されたデータ、すなわち0または1の情報を反対の状態に変化させる現象をいう。このような問題は、メモリ機能を有する半導体パッケージの信頼性を著しく低下させる深刻な現象であり、必ず解決しなければならない問題である。

【0004】上述のソフトエラーを防止するために用いられる典型的な予防策として、①アルファ粒子の放射を最小化したパッケージング材料を用いる方法、②アルファ粒子が半導体チップのメモリセルに影響を及ぼすことを最小化するチップコーティングを実施する方法、③アルファ粒子の影響に対する抵抗力を向上するために回路素子のデザインとレイアウトを変更する方法などが一般的に用いられている。

【0005】上述のソフトエラー防止策中で②チップコーティングを用いる方法では、メモリセルが構成された半導体チップの最終保護膜上にポリイミド層を10 μ m以上積層させることによって半導体パッケージを構成する材料から生じるアルファ粒子のエネルギーを低減させたり、メモリセル内で生成される電子と正孔の生成を抑制する技術が開発された。これに対する技術がアメリカ合衆国特許第6,391,915号に登録されている。

【0006】しかし、最近では半導体パッケージの形態がDIP (Dual Line Package)、SOP (Small Outline Package)、PLCC (Plastic Leaded Chip Carrier)、QFP (Quad Flat Package) などのようにリード線により外部と連結される形態としてアルファ粒子を放射するソルダボールを利用し外部と連結されるマイクロBGA (ボールグリッドアレイ)、CSP (チップスケールパッケージ) となって発展している。これにより、既存の方法とは異なる方法を用いてアルファ粒子の影響を排除することにより、ソフトエラーを抑制する必要性が生じる。なぜなら、既存のポリイミド層のみを用いてアルファ粒子の影響を減らす方法はEMCで生じる微量のアルファ粒子は遮断できるものの、マイクロBGAおよびCSPのソルダボールから出てくる大量のアルファ粒子、例えばポロニウムを効果的に防止できないからである。

【0007】

【発明が解決しようとする課題】そこで本発明の目的は、既存のポリイミド層より水分の吸湿率が低く、半導体パッケージ内部の腐蝕を防止することにより信頼度を向上させることができ、アルファ粒子の遮断効果に優れた材質を利用してチップコーティングすることによりソフトエラーを低減することができる半導体素子の製造方

法を提供する。

【0008】

【課題を解決するための手段】前記技術的課題を達成するための本発明による半導体素子の製造方法は、まず半導体基板にメモリセルのような下部構造を形成して最上部メタル層を形成する。この際、最上部メタル層にはボンドパッドが含まれる。その後、最上部メタル層上に湿気や不純物の浸透を防ぐ最終保護膜を形成する。続いて、最終保護膜をパターニングしてボンドパッドを露出させた後、最終保護膜上にボンドパッドと連結されているボンドパッド再配列用金属パターンを形成する。最後にボンドパッド再配列用金属パターン上にBCB (Benzocyclobutene) 層を含む絶縁膜を形成する工程を遂行する。

【0009】BCB層を含む絶縁膜はBCB層の単一膜またはBCB層を含む複合膜を利用して形成する。BCB層を含む複合膜を形成する工程はBCB層をまず積層し、その上部にポリイミド層を積層、または反対にポリイミド層をまず積層し、その上部にBCB層を積層する。望ましくは、最終保護膜は窒化ケイ素 (SiN) 膜、窒化チタン (TiN) 膜、PEOX (Plasma Enhanced Oxide) 膜、PSG (Phosphor Silicate Glass) 膜でなる群から選択される少なくとも一つの膜質が含まれた単一膜または複合膜を用いることが適している。また、BCB層は10～100 μmの厚さで形成することによりアルファ粒子の影響を最小化することができる。また、BCB層を含む絶縁膜を形成する工程後、ボンドパッド再配列用金属パターンをソルダボールのような外部連結手段と連結させる工程をさらに進める。

【0010】本発明による半導体素子の製造方法は、ボンドパッド再構成用金属パターンの位置を最終保護膜上でBCB層を含む複合膜よりなる絶縁膜の中間に挟み込んで形成することができる。また他の変形例としてBCB層の位置を最終保護膜上に形成する代わりに、最終保護膜を複合膜で形成した後、最終保護膜の中間にBCB層を挟み込んで形成する形態に変形することができる。

【0011】本発明によると、吸湿率が低いBCB層をチップコーティング膜として用いるため、ボンドパッドやソルダボールが付着される領域で発生できる腐蝕を防止することができるので、半導体パッケージの信頼度を向上させることができる。また、BCB層はアルファ粒子の放射がほとんどないため、アルファ粒子を遮断する効果が既存のチップコーティング用膜質より優秀であり、ソフトエラーの発生を抑制することができる。

【0012】

【発明の実施の形態】以下、添付された図面に基づいて本発明の望ましい実施例を詳しく説明する。本明細書でいう外部連結手段はソルダボールのような特定形状を限定する意味ではない。本発明の実施例においては外部連結手段がソルダボールであるが、これは他の形状で置換

できる。また、ソフトエラーを減少するための半導体素子のパッケージ形状をCSPパッケージを中心に説明したが、これは他のパッケージ形状に置き換え可能である。最終保護膜を複合膜で構成したが、これは単一膜で構成してもよい。ボンドパッド再配列用金属パターンを銅を用いて形成したが、これは異なる導電性を有する他の金属で置き換え可能である。したがって、下の望ましい実施例で記載した内容は例示的なことに過ぎず、限定する意味ではない。

【0013】(第1実施例) 図1～図4は本発明の第1実施例による半導体素子の製造方法を説明するために示す断面図である。図1に示すように、半導体基板100にウェーハ製造工程を実施して図示しないメモリセルを含む下部構造を形成した後、アルミニウムのような図示しない導電膜を積層し、これをパターニングすることにより図示しない最上部メタル層を形成する。最上部メタル層には半導体素子の機能を外部に拡張するために用いられ、連結通路の役割をするボンドパッド102が形成されている。続いて、外部の湿気および不純物の浸透を防止し、外部の物理的な衝撃から半導体基板の表面が損傷することを防止するための最終保護膜108を形成する。最終保護膜108は窒化ケイ素膜、窒化チタン膜、PEOX膜、PSG膜よりなる群から選択された一つの膜質が含まれた単一膜または複合膜を用いて形成する。本実施例では下部最終保護膜104としてPEOX膜あるいはPSG膜を用い、上部最終保護膜106として窒化ケイ素膜または窒化チタン膜を用いた。そして、最終保護膜108上にフォトリソを塗布してエッチング工程を実施しボンドパッド102を露出させる。

【0014】図2に示すように、ボンドパッド102が露出した半導体基板の全面にボンドパッドの位置を再び配列するための導電層、例えば銅層を形成し、これをパターニングして銅で構成されたボンドパッド再配列用金属パターン110を形成する。ボンドパッド再配列用金属パターン110は、ボンドパッド102の位置を半導体パッケージの縁部にのみ制限することなく、全面積にボンドパッドを均一に形成できるようにすることによって半導体パッケージを小型化する。

【0015】図3に示すように、ボンドパッド再配列用金属パターン110が形成された結果物にBCB層112を10～100 μmの厚さで形成する。BCB層112はスピンコーティング方式を用いて積層する。スピンコーティングを実施した後、約270℃の温度条件で数分間キュアリング工程を実施し、BCB層112を硬化させる。BCBのガラス転移温度T_gは既存のチップコーティング膜として用いるポリイミドのガラス転移温度290℃より約60℃程度高いため、パッケージング工程中の高温状態に比較的安定であるという長所を有する。続いて、BCB層112上にフォトリソを塗布した後、フォトリソおよびエッチング工程を実施し、ソルダ

ボールのような外部連結手段が連結されるボールパッド118を形成する。

【0016】図4に示すように、ボールパッドが形成された半導体基板に外部連結手段、例えばソルダボール114を取り付けて半導体パッケージが印刷回路基板に実装できるようにする。既存の半導体パッケージはチップコーティング膜上にEMCのような低いアルファ粒子を放射する物質があった。しかし、本発明の全図に示すよ*

| 測定試片 | アルファ粒子放出量 (CPH/cm ²) |
|---------------|----------------------------------|
| ソルダボール | 1.408 |
| 電気メッキされたソルダ試片 | 0.17 |
| BCB層 | none detect |
| 低アルファ粒子放射用EMC | 0.001 |
| 一般用EMC | 0.01 |

【0018】表1はソルダボール、電気メッキされたソルダ試片、BCB層およびEMCで放射するアルファ粒子の量を測定した結果である。アルファ粒子の測定のための計測器としては低水準用比例計数器を用いた。ここでアルファ粒子の測定単位はCPH (Count Per Hour/cm²) である。

【0019】表1に示すように、ソルダボールが半導体基板の上部に構成された場合、従来のように一般用EMCがある場合と比較すると、約140倍以上アルファ粒子によるソフトウェアが発生する可能性が高くなってい※

| 材質 | 誘電率(ε) | Tg (°C) | 水分吸収率 (%) |
|-------|--------|---------|-----------|
| BCB | 2.56 | 350 | 0.2 |
| ポリイミド | 3.4 | 290 | 2.3 |

【0022】表2に示すように高温耐久性および水分吸収率以外にもBCB層はポリイミド層に比べ揮発性が低く加工が容易である。また、キュアリング工程で腐蝕性副産物が生成されないという長所がある。このような長所は半導体パッケージの取扱過程で生じる環境条件を半導体パッケージに許容し、これに対して半導体パッケージが耐えられる耐久性を検査する環境シミュレーション検査を通して明確になる。すなわち、環境シミュレーション検査にはIRリフロー検査、吸湿検査、低温と高温

*うにCSP、μBGAのような半導体パッケージでは既存のEMCに比べて高いアルファ粒子を放射するソルダボールが構成される。これにより、アルファ粒子がチップ下部に形成されたメモリセルに影響を与える確率が相対的に高まるといえる。

【0017】

【表1】

※る。したがって、アルファ粒子の影響を小さくするためには使用するチップコーティングの膜質を検討する必要がある。

20 【0020】上記のような問題を解決するため、ポリイミド層の代わりに高温耐久性に優れ、水分吸収率が優秀なBCBを材質とする膜を10~100μmの厚さでチップコーティングした。従来のポリイミドとBCBとの物性を比較すると以下の表2のようになる。

【0021】

【表2】

間を半導体パッケージを繰り返し移動させた後、これに対する抵抗力を測定する検査などがある。BCB層を適用した場合、ポリイミド層の場合に比べ半導体パッケージ内部の水分吸収率を減少させ、腐蝕に起因する不良を減らすことができる。また、IRリフロー検査においても膨張が生じるという欠陥を低減することができる。

【0023】

【表3】

| | 4M SRAM(10 μ m厚さのポリイミドが チップコーティングされる) | | | | | | 4M SRAM(10 μ m厚さのBCBが チップコーティングされる) | | | | | |
|-----------|--|------|------|------|------|------|--|------|------|------|------|------|
| Vcc 電圧 | 4.0V | | 4.5V | | 5.0V | | 4.0V | | 4.5V | | 5.0V | |
| cycle(ns) | 512 | 1024 | 512 | 1024 | 512 | 1024 | 512 | 1024 | 512 | 1024 | 512 | 1024 |
| sample#1 | 77 | 112 | 46 | 43 | 25 | 28 | 44 | 50 | 38 | 42 | 20 | 24 |
| sample#2 | 83 | 105 | 59 | 47 | 28 | 22 | 46 | 56 | 37 | 45 | 15 | 23 |
| sample#3 | 101 | 96 | 50 | 58 | 24 | 26 | 56 | 59 | 43 | 45 | 24 | 19 |
| sample#4 | 98 | 113 | 48 | 56 | 22 | 29 | 56 | 60 | 42 | 43 | 18 | 18 |
| sample#5 | 97 | 82 | 42 | 55 | 24 | 37 | 40 | 58 | 42 | 37 | 16 | 25 |
| FIT 合計 | 654 | 727 | 357 | 375 | 184 | 209 | 360 | 410 | 256 | 308 | 141 | 162 |
| FIT 平均 | 91 | 102 | 49 | 52 | 25 | 28 | 48 | 57 | 36 | 42 | 19 | 22 |
| | 4M SRAM(15 μ m厚さのポリイミドが チップコーティングされる) | | | | | | 4M SRAM(20 μ m厚さのBCBが チップコーティングされる) | | | | | |
| Vcc 電圧 | 4.0V | | 4.5V | | 5.0V | | 4.0V | | 4.5V | | 5.0V | |
| cycle(ns) | 512 | 1024 | 512 | 1024 | 512 | 1024 | 512 | 1024 | 512 | 1024 | 512 | 1024 |
| sample#1 | 39 | 39 | 8 | 19 | 4 | 7 | 77 | 71 | 36 | 45 | 16 | 15 |
| sample#2 | 33 | 31 | 11 | 8 | 8 | 8 | 68 | 70 | 23 | 25 | 14 | 16 |
| sample#3 | 35 | 40 | 12 | 13 | 5 | 4 | 75 | 65 | 33 | 27 | 16 | 16 |
| sample#4 | 25 | 36 | 11 | 8 | 5 | 3 | 59 | 67 | 30 | 41 | 9 | 16 |
| sample#5 | 31 | 26 | 14 | 14 | 3 | 6 | 81 | 90 | 35 | 43 | 12 | 15 |
| FIT 合計 | 241 | 251 | 87 | 94 | 40 | 47 | 520 | 523 | 230 | 285 | 102 | 119 |
| FIT 平均 | 33 | 34 | 11 | 12 | 5 | 6 | 72 | 73 | 31 | 36 | 13 | 16 |

【0024】表3は、ポリイミドを用いてチップコーティングする場合と、BCBを用いてチップコーティングする場合とでソフトエラーの発生する頻度を比較したものである。ソフトエラー発生程度を比較するための試料は2種類のチップコーティングを実施した膜を有するCSPパッケージを抽出し、試料の個数は各々5個である。すなわち、ポリイミド層を10 μ mの厚さでチップコーティングしたCSP半導体パッケージと、BCB層を10 μ mの厚さでコーティングしたCSP半導体パッケージである。

【0025】表1中でFITは、10⁹個の半導体素子を1時間使用した際に1個の不良が生じることを示す単位である。1サイクルは半導体メモリ素子で一度の書込み／読出動作を実行する時間であり単位はナノ秒(ns)である。Vcc電圧は書込みと読出動作が行われる時のVcc電圧を意味する。

【0026】表3に示すように、BCB層を用いた場合、ポリイミド層を用いた場合と比較してソフトエラーの発生率が少ないことが分かる。例えばVccが4Vでサイクルが512nsの場合、ポリイミド層を用いた場合はFITが654であるのに対し、BCB層を用いた場合はFITが350となり約1/2であった。すなわち、BCBをチップコーティング膜として用いる場合、CSPパッケージの上部に形成されたソルダボールから放射されるアルファ粒子を効率的に遮断したことが分かる。

【0027】(第2実施例)以下、第2実施例から第3実施例は第1実施例を変形した実施例を示している。したがって、製造方法が相互同一な部分は重複を避けて説明を省略し、違う部分のみ詳しく説明する。図5は、本

発明の第2実施例による半導体素子の製造方法を説明するために示す断面図である。

【0028】図5に示すように、第2実施例ではBCB層112を含む絶縁膜を複合膜で形成し、単一膜で形成した第1実施例と異なる。すなわち、ボンドパッド再配列用金属パターン110を形成した後、BCB層を積層し、その上部にポリイミド層116を積層したものである。その後、BCB層を含む絶縁膜をパターンニングしボールパッドを形成した後、外部連結手段であるソルダボール114を取り付ける。チップコーティング膜としてBCB層112とポリイミド層116とを同時に用いることによってソルダボールで発生するアルファ粒子の固有エネルギーをまずポリイミド層116で減少させ、最終的にBCB層112で減少させることにより、二重でアルファ粒子の影響を防止しソフトエラーの発生を防止する。

【0029】(第3実施例)図6は、本発明の第3実施例による半導体素子の製造方法を説明するために示す断面図である。図6に示すように、第3実施例では第2実施例と同様にBCB層112を含む絶縁膜を複合膜で形成している。ボンドパッド再配列用金属パターン110を形成した後、複合膜としてポリイミド層116を積層し、その上にBCB層112を積層した後、外部連結手段114であるソルダホールを形成している。

【0030】第3実施例によると、第2実施例のようにソルダボールで放射されるアルファ粒子の影響が半導体基板100の図示しないメモリセル及びぶことを二重で遮断する効果がある。

【0031】(第4実施例)図7は、本発明の第4実施例による半導体素子の製造方法を説明するために示す断

面図である。図 7 に示すように、第 1 実施例から第 3 実施例では、ボンドパッド再配列用金属パターン 110 を最終保護膜 108 上に形成している。

【0032】第 4 実施例ではボンドパッド再配列用金属パターン 110 をポリイミド層 116 と BCB 層 112 との二層からなる絶縁膜の中間に挟み込んで形成している。ポリイミド層 116 を最終保護膜 108 上にまず形成した後、その上部にボンドパッド再配列用金属パターン 110 を形成し、最後に BCB 層 112 を形成している。ここでボンドパッド 102 を露出させるための最終保護膜 108 およびポリイミド層 116 のエッチングは一度または二度に分けて実施する。

【0033】第 4 実施例によると、上述の第 2 実施例および第 3 実施例と同様に、ソルダボール 114 で放射されるアルファ粒子の影響が半導体基板 100 の図示しないメモリセルに及ぶことを二重で遮断する効果を得ることができる。

【0034】(第 5 実施例) 図 8 は、本発明の第 5 実施例による半導体素子の製造方法を説明するために示す断面図である。図 8 に示すように、第 5 実施例では第 4 実施例と同様にボンドパッド再配列用金属パターン 110 を BCB 層 112 とポリイミド層 116 との二層からなる絶縁膜の中間に挟み込んで形成している。

【0035】第 4 実施例との相違点は、BCB 層 112 とポリイミド層 116 との位置が変更されて形成されていることである。ここでも、ボンドパッド 102 を露出させるために最終保護膜 108 および BCB 112 のエッチングは一度または二度に分けて実施する。

【0036】(第 6 実施例) 図 5 は、本発明の第 2 実施例による半導体素子の製造方法を説明するために示す断面図である。図 9 に示すように、第 6 実施例では BCB 層 112 をボンドパッド再配列用金属パターン 110 の下部の最終保護膜との間に形成している。

【0037】第 6 実施例では、最終保護膜 108 は窒化ケイ素膜または窒化チタン膜を材質とする第 1 膜 104 と、PSG または PEOX を材質とする第 3 膜 106 の複合膜であり、BCB 層である第 2 膜 112 は第 1 膜 104 と第 3 膜 106 との中間に形成されている。

【0038】

【発明の効果】したがって、上述した本発明によると、パッケージング材料から自然放射されるアルファ粒子の影響から半導体チップ内部のメモリセルが影響を受ける問題を最上部メタル層上に BCB 層を形成して遮断する

ことにより次のような効果を得ることができる。

【0039】①ソフトエラーの発生を抑制できる。

②BCB 層が有する固有物性的特性、すなわち水分吸湿率が低い特性を利用し半導体パッケージ内部で生じる腐蝕による欠陥を低減し、半導体パッケージの信頼性を向上することができる。

③BCB 層は高温耐久性が従来のチップコーティング用物質に比べて優れるため、高温工程で生じる欠陥を減らすことができる。

④BCB 層は揮発性がなく、キュアリングを進める際も腐蝕性副産物を生成しないため工程を安定に維持できる。

【0040】本発明は前記した実施例に限らず、本発明が属する技術的思想内で当分野の通常の知識を有する者により多くの変形が可能なのが明白である。

【図面の簡単な説明】

【図 1】本発明の第 1 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 2】本発明の第 1 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 3】本発明の第 1 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 4】本発明の第 1 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 5】本発明の第 2 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 6】本発明の第 3 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 7】本発明の第 4 実施例による半導体素子の製造方法を説明するために示す断面図である。

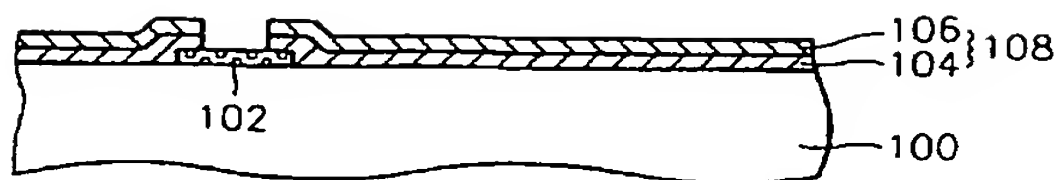
【図 8】本発明の第 5 実施例による半導体素子の製造方法を説明するために示す断面図である。

【図 9】本発明の第 6 実施例による半導体素子の製造方法を説明するために示す断面図である。

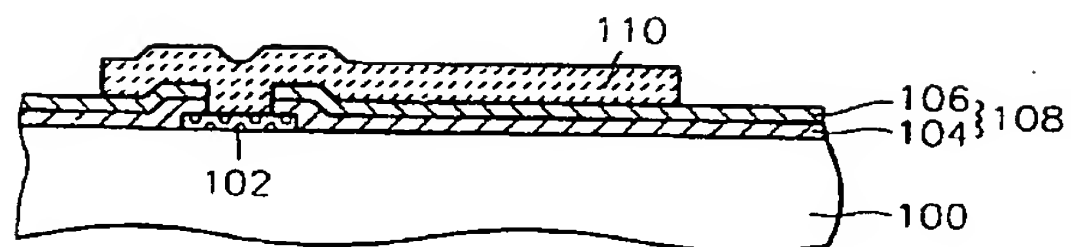
【符号の説明】

| | |
|-----|------------------|
| 100 | 半導体基板 |
| 102 | ボンドパッド |
| 104 | 下部最終保護膜 |
| 106 | 上部最終保護膜 |
| 108 | 最終保護膜 |
| 110 | ボンドパッド再配列用金属パターン |
| 112 | BCB 層 |

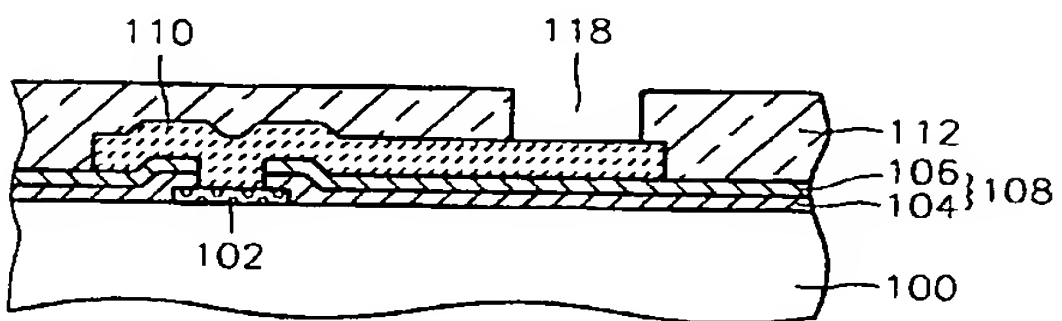
【图1】



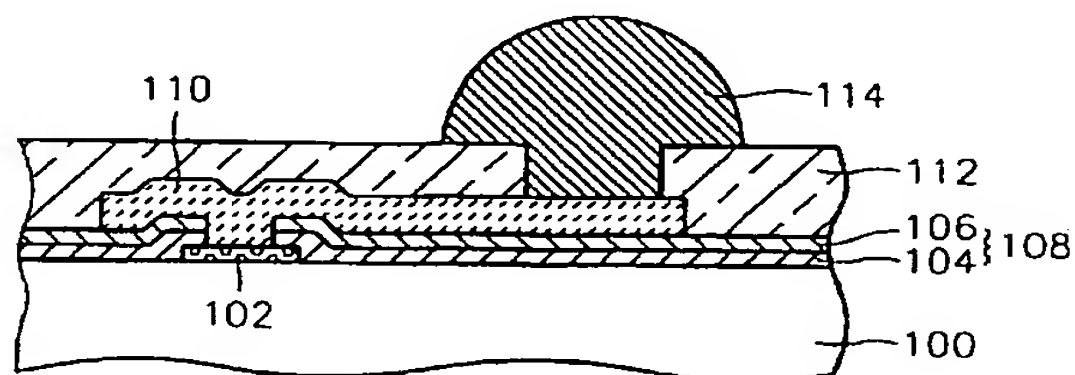
【图2】



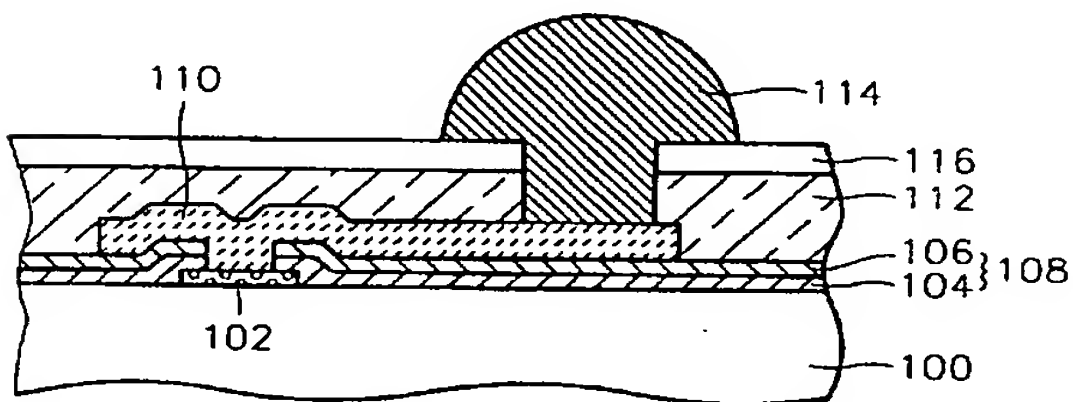
【图3】



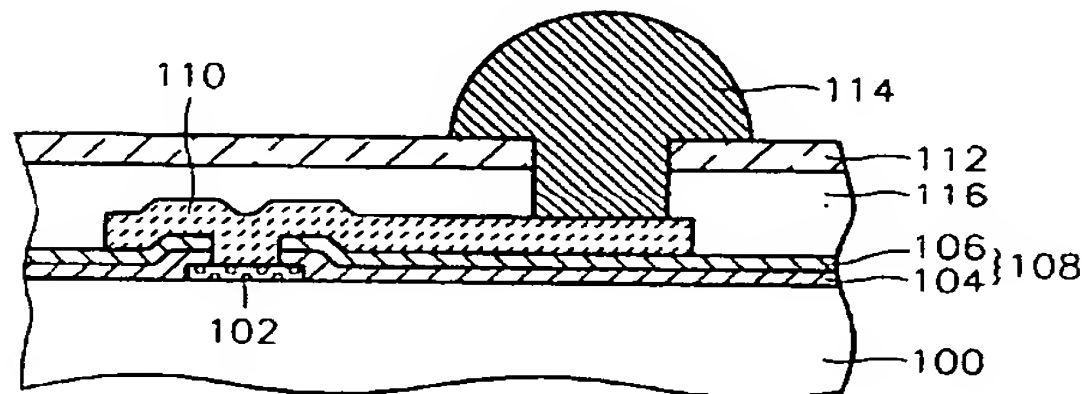
【图4】



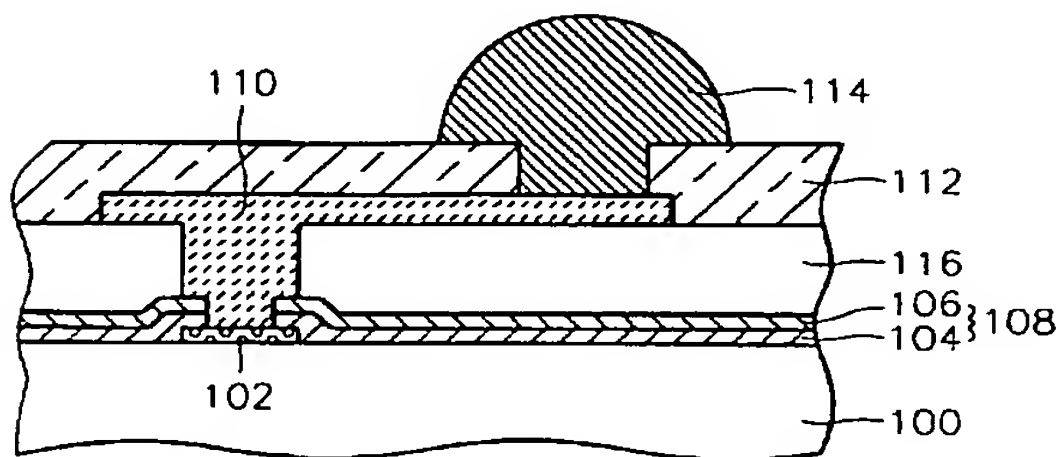
【图5】



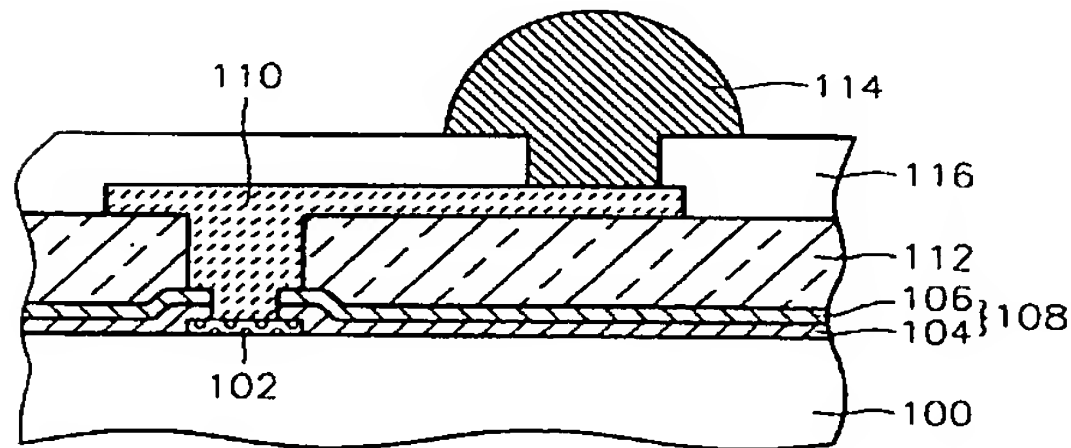
【图6】



【图7】



【图8】



【图9】

